

Patent

Customer No. 31561
Application No.: 10/707,687
Docket No. 11843-US-PA

DTW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chen et al.
Application No. : 10/707,687
Filed : January 05, 2004
For : CHIP PACKAGE STRUCTURE AND PROCESS FOR
FABRICATING THE SAME
Examiner :
Art Unit : 1774

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

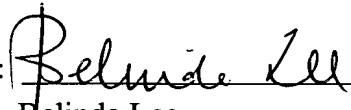
Dear Sirs:

Transmitted herewith are two certified copies of Taiwan Application No.: 092129524, filed on: 2003/10/24 and Japanese Application No.:2003-117601, filed on: 2003/4/22.

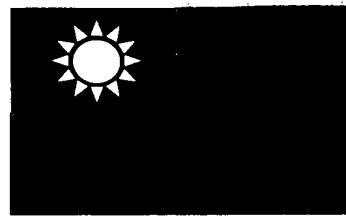
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: May 13, 2004

By: 
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 24 日
Application Date

申請案號：092129524
Application No.

申請人：財團法人工業技術研究院、松下電工股份有限公司
Applicant(s)

局長

Director General

蔡 繩 生

發文日期：西元 2004 年 1 月 29 日
Issue Date

發文字號：09320071890
Serial No.

申請日期：	IPC分類
申請案號：	

以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	晶片封裝結構及其製程
	英文	Chip package structure and process for fabricating the same
二、 發明人 (共6人)	姓名 (中文)	1. 陳凱琪
	姓名 (英文)	1. CHEN, KAI CHI
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 南投縣草屯鎮南埔里中正路269號
	住居所 (英 文)	1. NO. 269, JHONGJHENG RD., CAOTUN TOWNSHIP, NANTOU COUNTY 542, TAIWAN (R. O. C.)
三、 申請人 (共2人)	名稱或 姓名 (中文)	1. 財團法人工業技術研究院 2. 松下電工股份有限公司
	名稱或 姓名 (英文)	1. INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE 2. MATSUSHITA ELECTRIC WORKS, LTD
	國籍 (中英文)	1. 中華民國 TW 2. 日本 JP
	住居所 (營業所) (中 文)	1. 新竹縣竹東鎮中興路四段195號 (本地址與前向貴局申請者相同) 2. 日本大阪府門真市大字門真1048番地 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. NO. 195, SECTION 4, CHUNG HSING ROAD, CHUTUNG, HSINCHU, TAIWAN, R. O. C. 2. 1048, OAZA-KADOMA, KADOMA-SHI, OSAKA, JAPAN
	代表人 (中文)	1. 翁政義 2. 西田 一成
	代表人 (英文)	1. WENG, CHENG I 2. NISHIDA, KAZUSHIGE



請日期：	
請案號：	

IPC分類

以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共6人)	姓 名 (中文)	2. 黃淑禎 3. 李巡天
	姓 名 (英文)	2. HUANG, SHU CHEN 3. LI, HSUN TIEN
	國 籍 (中英文)	2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	2. 基隆市信義區義幸里中興路66號6樓之1 3. 新竹市東區新莊街177號5樓
	住居所 (英 文)	2. 6F.-1, NO. 66, JHONGSING RD., SINYI DISTRICT, KEELUNG CITY 201, TAIWAN (R. O. C.) 3. 5F., NO. 177, SINJHUANG ST., HSINCHU CITY 300, TAIWAN (R. O. C.)
	三、 申請人 (共2人)	名稱或 姓 名 (中文)
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



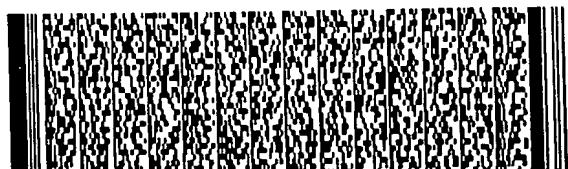
申請日期：	
申請案號：	

IPC分類

以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共6人)	姓名 (中文)	4. 李宗銘 5. 福井 太郎 6. 根本 知明
	姓名 (英文)	4. LEE, TZONG MING 5. FUKUI TARO 6. NEMOTO TOMOAKI
	國籍 (中英文)	4. 中華民國 TW 5. 日本 JP 6. 日本 JP
	住居所 (中 文)	4. 新竹市東區金山北二街18號 5. 日本國大阪府平野區平野本町5-10-8 6. 日本國大阪府寢屋川市成田南町11-23
	住居所 (英 文)	4. NO. 18, JINSHANBEI2 ST, HSINCHU CITY 300, TAIWAN (R. O. C.) 5. 5-10-8, HIRANO HONMACHI, HIRANO-KU, OSAKA, JAPAN 6. 11-23. NARITA MINAMIMACHI, NEYAGAWA-SHI, OSAKA, JAPAN
	申請人 (共2人)	
名稱或 姓名 (中文)		
名稱或 姓名 (英文)		
國籍 (中英文)		
住居所 (營業所) (中 文)		
住居所 (營業所) (英 文)		
代表人 (中文)		
代表人 (英文)		



118431wf.pdf

四、中文發明摘要 (發明名稱：晶片封裝結構及其製程)

一種晶片封裝結構及其製程，其結構主要係由一載板、一個或多個晶片、一散熱片與一封裝材料層所構成。晶片封裝製程主要包括：(a) 提供一載板與多個晶片，每個晶片分別具有一主動表面，至少一主動表面上配置有多個凸塊。(b) 使晶片與載板電性連接。(c) 黏著一散熱片於晶片之背面上。(d) 覆蓋至少一緩衝耐熱膠片於散熱片之部分表面上。(e) 形成一封裝材料層於載板上並填充於晶片與載板之間。其中，封裝材料層位於晶片與載板之間的部份具有一厚度，而封裝材料之最大粒徑係小於此厚度之二分之一。

伍、(一)、本案代表圖為：第____4H____圖

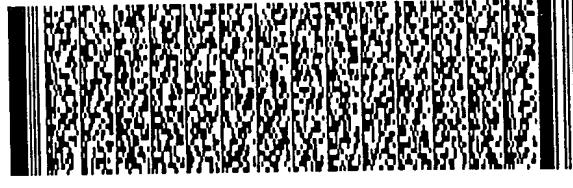
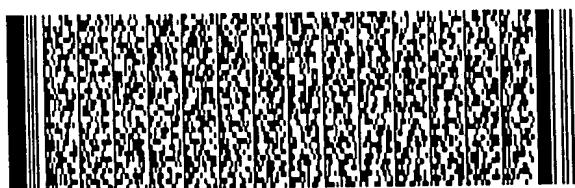
(二)、本案代表圖之元件代表符號簡單說明：

100：晶片封裝結構

140：散熱片

六、英文發明摘要 (發明名稱：Chip package structure and process for fabricating the same)

A chip package structure and process for fabricating the same is disclosed. The chip package structure essentially comprises a carrier, one or more chip, a heat sink and an encapsulating material layer. The process for fabricating the chip package mainly comprises steps of: (a) providing a carrier and a plurality of chips. Each of chips has an active surface respectively and a



四、中文發明摘要 (發明名稱：晶片封裝結構及其製程)

145：導熱性黏著層

150：晶片

152：主動表面

160：凸塊

170：封裝材料層

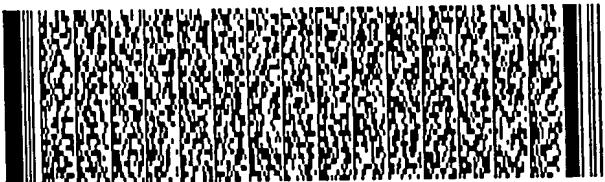
180：載板

190：焊球

195：被動元件

六、英文發明摘要 (發明名稱：Chip package structure and process for fabricating the same)

plurality of bumps is disposed on least one of the active surfaces. (b) electrically connecting the chips and the carrier. (c) sticking a heat sink on the back of chips. (d) covering at least one heat resistant buffering film on the part surface of heat sink. (e) forming a encapsulating material layer, which is filled between the chips and the carrier and covers the carrier. The portion of



四、中文發明摘要 (發明名稱：晶片封裝結構及其製程)

六、英文發明摘要 (發明名稱：Chip package structure and process for fabricating the same)

encapsulating material layer between the chips and the carrier has a thickness, and the maximum diameter of encapsulating material particle is smaller then the half of the said thickness.



一、本案已向

國家(地區)申請專利 申請日期 案號 主張專利法第二十四條第一項優先權
日本 JP 2003/04/22 特願2003-117601 有

二、主張專利法第二十五條之一第一項優先權：

申請案號： 無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家： 無
寄存機構：
寄存日期：
寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構： 無
寄存日期：
寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

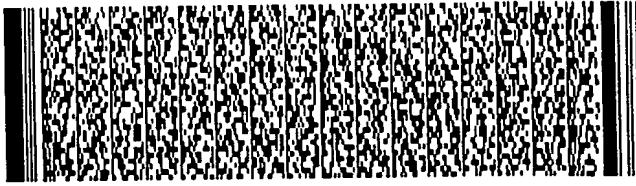
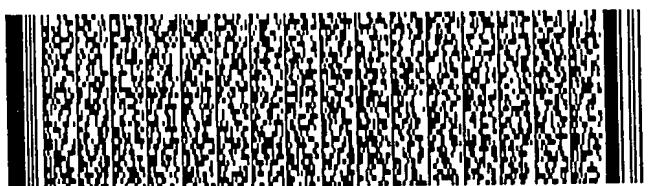
【發明所屬之技術領域】

本發明是有關於一種晶片封裝結構(chip package structure)及其製程，且特別是有關於一種具有極佳散熱性之晶片封裝結構及其製程。

【先前技術】

在高度情報化社會的今日，可攜式電子裝置(Portable electric device)的市場不斷地急速擴張著。晶片封裝技術亦需配合電子裝置的數位化、網路化、區域連接化以及使用人性化的趨勢發展。為達成上述的要求，必須強化電子元件的高速處理化、多功能化、積集(Integration)化、小型輕量化及低價化等多方面的要求，於是晶片封裝技術也跟著朝向微型化、高密度化發展。其中，覆晶接合(Flip Chip bonding, F/C bonding)技術由於係以凸塊(Bump)與載板(Carrier)接合，較習知導線連結(Wire bonding)法大幅縮短了配線長度，有助晶片與載板間訊號傳遞速度的提升，因此已漸成為高密度封裝的主流。但伴隨高密度封裝技術而來的重要課題，即是如何解決具有高積集度之晶片封裝結構的散熱問題。

第1圖繪示為習知採導線連結式的晶片封裝結構之剖面圖。請參照第1圖，晶片20具有一主動表面22，且主動表面22上更配置有多個焊墊(圖未示)。晶片20係以主動表面22朝上而配置於載板30上。載板30之表面上配置有多個接點(圖未示)。多條導線24之兩端係分別連接於晶片20之焊墊以及載板30之接點，以電性連接於晶片20與載板30。



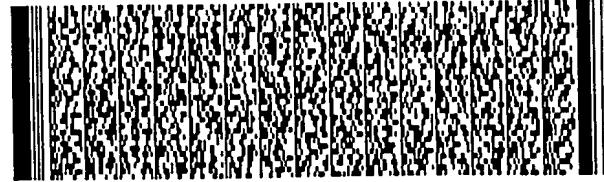
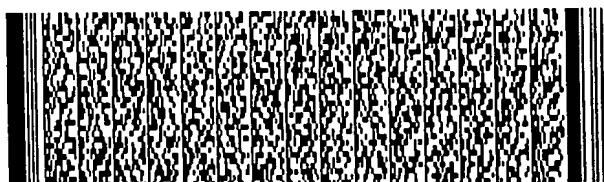
五、發明說明 (2)

而且，載板30遠離晶片20之表面更配置有多個陣列排列之焊球(Solder ball)32，亦即晶片封裝結構10係採用球格陣列封裝(Ball Grid Array packaging, BGA packaging)，以使晶片封裝結構後續能與印刷電路板(Printed circuit board, PCB)(圖未示)電性連接。另外，一封裝材料層34係配置於載板30上，且覆蓋晶片20與導線24以提供保護。但是，此晶片封裝結構10存在散熱性不佳之缺點。

第2圖繪示為習知採覆晶接合技術的晶片封裝結構之剖面圖。請參照第2圖，晶片50具有一主動表面52，且主動表面52上更配置有多個焊墊(圖未示)。載板60之表面上配置有多個接點(圖未示)。多個凸塊54係配置於主動表面52上之焊墊上，且凸塊54係藉由晶片50之焊墊以及載板60之接點而電性連接於晶片50與載板60之間。其中，載板60遠離晶片50之表面更配置有多個陣列排列之焊球62。

為了保護晶片50使其免於受到濕氣的破壞，同時保護連接晶片50與載板60的凸塊54，使其免於受到剪切應力(Shear force)破壞，因此更形成一封裝材料層65於晶片50與載板60之間。習知形成封裝材料層65之方式係利用毛細現象，將黏度較低的液態封裝材料填入晶片50與載板60之間的覆晶接合間隙，之後再將封裝材料硬化。

承上所述，晶片封裝結構40較第1圖所示之習知導線連結式的晶片封裝結構10具有更佳電氣性能，且厚度亦符合晶片封裝結構的薄型化趨勢。但是，封裝材料填入覆晶

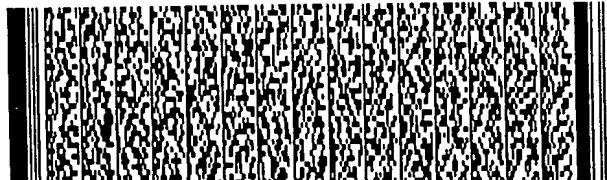
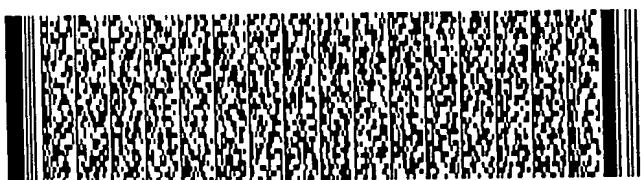


五、發明說明 (3)

接合間隙所需之時間較長，不符合產業界對產能的要求。而且，由於封裝材料係藉助自然的毛細現象填入覆晶接合間隙，因此晶片50與載板60之間凸塊54的數目、排列方式與覆晶接合間隙的大小，都會影響封裝材料的流動性，導致封裝材料填入不完全而形成空洞，進而影響封裝信賴度(Reliability)。此外，由於晶片50係直接暴露於外界，因此在標記(Marking)晶片特性於晶片50表面時，或是在藉由真空吸附晶片50以移動晶片封裝結構40時，都很容易造成晶片50的破壞。

第3圖繪示為習知採熱增強型球格陣列封裝(Thermal Enhanced Ball Grid Array packaging, TEBGA packaging)的晶片封裝結構之剖面圖。請參照第3圖，晶片80具有一主動表面82，且主動表面82上更配置有多個焊墊(圖未示)。一散熱片85係配置於晶片80之背面以及載板90之背面上，且散熱片85與晶片80之間係以一導熱性黏著層87黏著。載板90之正面上配置有多個接點(圖未示)。多條導線84之兩端係分別連接於晶片80與載板90之間，且線84係藉由晶片80之焊墊以及載板90之接點而電性連接於晶片80與載板90之間。其中，載板90之正面更配置有多個與陣列排列之焊球92，焊球92係藉由連接接點之導線84而與晶片80電性連接。此外，晶片封裝結構70更包括一封裝材料層95，覆蓋晶片80、導線84與載板90上之接點，以提供這些元件適當地保護。

承上所述，晶片封裝結構70雖然具有較佳之散熱性，



五、發明說明 (4)

但是卻需要較大面積，因此無法符合高密度接腳(High density I/O)之趨勢。而且，晶片封裝結構70之組裝亦非常多雜，相對產能表現則不盡理想。

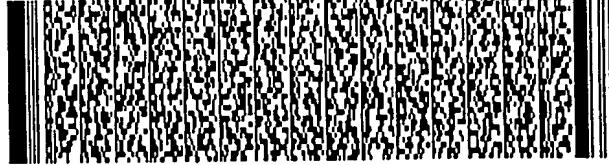
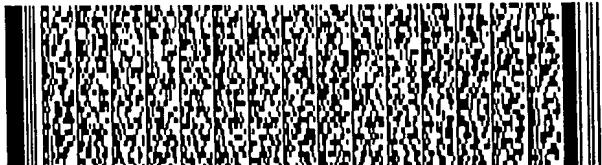
【發明內容】

因此，本發明的目的就是在提供一晶片封裝結構及其覆製程，適於在晶片封裝結構中採用具有極佳電氣性能之晶接合技術接合晶片，同時提供晶片封裝結構極佳之散熱性。

基於上述目的，本發明提出一種晶片封裝結構，主要係由一載板、一晶片、一散熱片與一封裝材料層所構成。其中，晶片具有一主動表面，主動表面上配置有多個凸點。晶片係以主動表面朝向載板而於晶片填塞於晶片與封裝材料層間以及載板上，且封裝材料層係由單一部份所構成。其中，散熱片遠離晶片之表面至少係暴露於外界。

此外，封裝材料層位於晶片與載板之間的部份具有厚度，封裝材料層之最大材料粒徑例如係小於上述厚度0.5倍。本實施例之晶片封裝結構例如更包括一導熱性黏著層(Heat conducting adhesive layer)。導熱性黏著層例如係配置於晶片與散熱片之間。

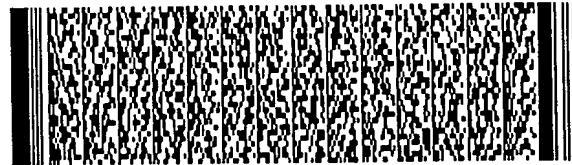
基於上述目的，本發明再提出一種晶片封裝結構，主要係由一載板、一晶片組、一散熱片與一封裝材料層所構成。其中，晶片組係配置於載板上並與載板電性連接。



此外，封裝材料層位於覆晶接合間隙內的部份具有一厚度，封裝材料層之最大材料粒徑例如係小於上述厚度之0.5倍。本實施例之晶片封裝結構例如更包括一導熱性黏著層。導熱性黏著層例如係配置於晶片組最上方之晶片與散熱片之間。

此外，晶片組例如更包括多條導線。其中，每條導線之兩端例如係分別電性連接第一晶片與載板。

此外，本實施例之晶片組亦可主要由第一晶片構成。其中，多個接合於第一晶片上，並



五、發明說明 (6)

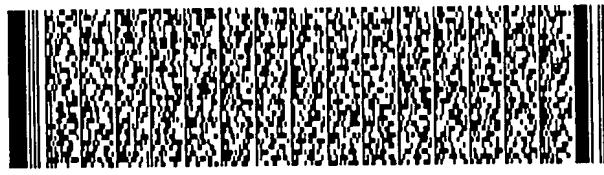
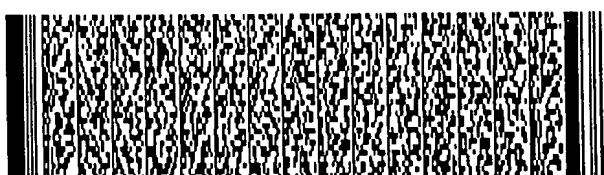
電性連接至載板。第二晶片具有一第二主動表面，且第二片配置於第一晶片上。第三晶片具有一第三主動表面，第三主動表面朝向第二晶片。而第一凸塊與第二凸塊係維持覆晶接合間隙。

此外，晶片組例如更包括多條導線。其中，每條導線之兩端例如係分別電性連接第二晶片與載板。

在上述晶片封裝結構之兩種實施例中，封裝材料層之結構例如係樹脂。散熱片之材質例如係金屬。晶片封裝其結構例如更包括多個陣列排列之焊球與至少一被動元件。其中，焊球例如係配置於載板未配置晶片之表面。被動元件例如係配置於載板上且與載板電性連接。載板例如係一封裝基材或一導線架。

基於上述目的，本發明另提出一種晶片封裝製程，主要包括下列步驟：(a) 提供一載板與多個晶片，每個晶片分別具有一主動表面，至少一主動表面上配置有多個凸塊。(b) 使晶片與載板電性連接。(c) 藉由一導熱性黏著層將一散熱片黏著於晶片之背面上。(d) 覆蓋至少一緩衝耐熱膠片於散熱片之部分表面上。(e) 形成一封裝材料層於載板上，並使封裝材料層填充於晶片與載板之間。

其中，形成封裝材料層的方法例如係一減壓移轉注模成形法。形成封裝材料層後例如更包括對載板進行切割，以形成多個晶片封裝結構。而且，進行減壓移轉注模成形



五、發明說明 (7)

法之壓力例如係保持在20毫米-汞柱(mm-Hg or Torr)以下，溫度例如至少較凸塊之熔點低攝氏10度。封裝材料層位於晶片與載板之間的部份具有一厚度，而封裝材料之最大粒徑例如係小於此厚度之二分之一。

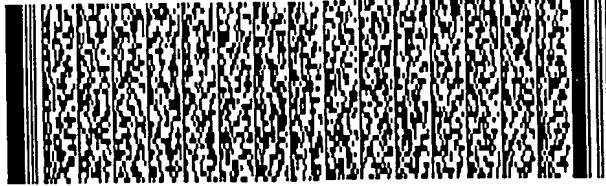
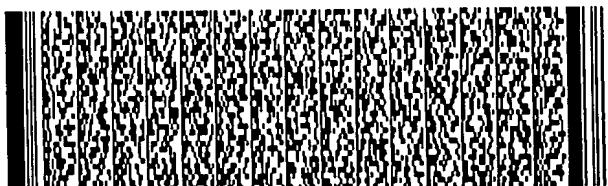
綜上所述，根據本發明所提出之晶片封裝結構，由於晶片上配置了較晶片具有更大面積之散熱片，因此可提供高密度接腳之晶片封裝結構極佳的散熱途徑，進而提高晶片封裝結構之運算速度與可靠度。而且，根據本發明所提供之晶片封裝製程亦具有高產能之優點。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

第4A～4I圖繪示為根據本發明所提出之第一較佳實施例的各種晶片封裝結構之剖面圖。請參照第4A～4I圖，晶片封裝結構100主要係由一載板180、一晶片150、一散熱片140與一封裝材料層170所構成。其中，載板180例如係有機基板、陶瓷基板、可撓性基板等封裝基材，亦或是例如覆晶式四方扁平封裝(Flip Chip Quad Flat Non-leaded packaging, F/C QFN packaging)等封裝製程所使用之導線架(Lead frame)。載板180之上下表面例如具有多個接點(圖未示)。

晶片150具有一主動表面152，且晶片150係以主動表面152朝向載板180而覆晶接合於載板180之上表面上。晶



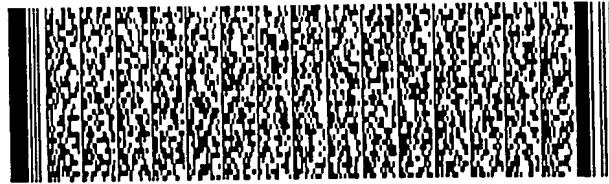
五、發明說明 (8)

片150之主動表面上例如配置有多個焊墊(圖未示)，多個凸塊160係配置於晶片150之主動表面152上之焊墊上。晶片150係藉由焊墊上之凸塊160而電性連接至載板180。亦即，本實施例之晶片封裝結構100中至少包括了一晶片150，且此晶片150係採用覆晶接合技術接合於載板180之上表面上。然而，除了此晶片150之外，本實施例亦可在封裝結構100中的載板180上設置其他晶片或其他元件(Component)，如電阻、電容等被動元件。

散熱片140係配置於晶片150上，且散熱片140之面積係大於晶片150之面積，因此具有更佳之散熱效率。而且，散熱片140並不侷限於一體成形，亦可由多個獨立之散熱片所構成，此種設計有利於大面積之晶片封裝結構的靈活運用。

此外，封裝材料層170係填充於晶片150與載板180之間，且覆蓋載板180上。而且，封裝材料層170係由單一封裝材料所形成。封裝材料層170之材質例如係樹脂。

散熱片140之材質例如係金屬。在本發明中，面積較晶片150大之金屬材質的散熱片140，主要是為了使晶片150所產生的熱量能大範圍的擴散，因此以導熱性佳者最好。一般例如係使用銅板、鋁板、鐵板、鎳板或其表面鍍金者。此外，散熱片140須能承受形成進行封裝製程時的壓力，因此最好具備不易彎曲的強度。雖然依金屬種類而不同，但散熱片140例如係以0.1~0.6毫米之間的厚度者為佳。另外，為了增加封裝材料層170與散熱片之140界面



五、發明說明 (9)

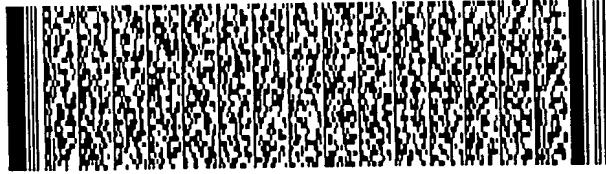
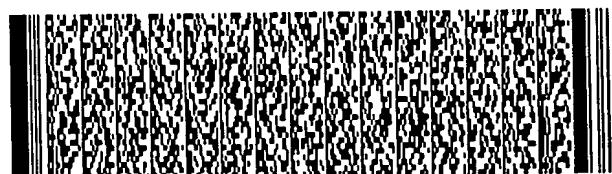
的緊密度，除在散熱片140之表面例如進行鍍金處理外，亦可在散熱片140之表面例如進行表面化學處理或表面粗化等物理處理。

此外，為使散熱片140與晶片150之間具有適當接著，例如更配置有一導熱性黏著層145於散熱片140與晶片150之間(如第4A圖之放大部分所示)。導熱性黏著層145一般多使用矽膠、銀膏、錫膏等導熱性佳之材質。

另外，晶片封裝結構100例如更包括多個陣列排列之焊球190。其中，焊球190例如係配置於載板180下表面之接點上。焊球190係提供晶片封裝結構100之後例如與印刷電路板電性連接之用途。

在第4A～4I圖所示之晶片封裝結構100中，第4A～4E、4H～4I圖之晶片封裝結構100係以單一晶片150為例，而第4F～4G圖之晶片封裝結構100則以兩個晶片150為例，當然晶片150之數量不侷限於此，其數量亦可更多。第4C、4D、4G與4I圖之晶片封裝結構100其封裝材料層170係覆蓋散熱片140上表面之周緣，而其餘晶片封裝結構100之散熱片140的上表面係完全暴露於外界。第4D與4E圖之晶片封裝結構100其散熱片140之周緣係經加工變形。第4H與4I圖之晶片封裝結構100更包括至少一被動元件195，被動元件195例如係配置於載板180之上表面上，且與載板180電性連接。以上各類晶片封裝結構100皆屬本發明之第一較佳實施例之變形，唯仍不脫本發明所欲保護之範圍。

第5圖與第6圖繪示為根據本發明所提出之第二較佳實

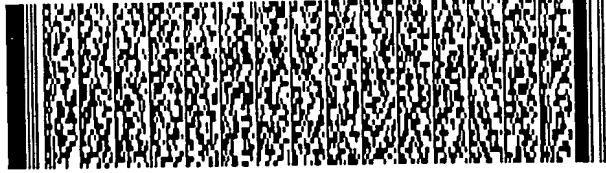
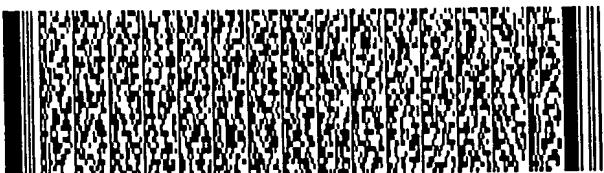


五、發明說明 (10)

施例的晶片封裝結構之剖面圖。在根據本發明所提出之第二較佳實施例的晶片封裝結構中，主要係更增加多個晶片，其餘與第一較佳實施例相同之處在此不再贅述。請共同參照第5圖與第6圖，晶片封裝結構200主要係由一載板280、一晶片組250、一散熱片240與一封裝材料層270所構成。其中，晶片組250主要係由多個晶片所構成，且其中至少有一晶片係以覆晶接合技術接合於載板280或其他晶片上。因此，晶片組250內至少存在一覆晶接合間隙256，覆晶接合間隙256係由採用覆晶接合之晶片上的凸塊所形成的。散熱片240係配置於晶片組250上。封裝材料層270係充滿於覆晶接合間隙256內，且覆蓋載板280上。封裝材料層270係由單一封裝材料所形成。其中，散熱片240遠離晶片組250之表面至少係部份暴露於外界。

此外，封裝材料層270位於覆晶接合間隙256內的部份具有一厚度，封裝材料層270之最大材料粒徑例如係小於上述厚度之0.5倍。本實施例之晶片封裝結構200例如更包括一導熱性黏著層245。導熱性黏著層245例如係配置於晶片組250最上方之晶片與散熱片240之間。導熱性黏著層245一般多使用矽膠、銀膏、錫膏等導熱性佳之材質。

請參照第5圖，本較佳實施例之晶片組250主要例如係由一第一晶片250a與一第二晶片250b所構成。其中，各元件之配置關係如下所述。第一晶片250a具有一第一主動表面252a，且第一晶片250a係以第一主動表面252b朝上而配置於載板280上。第二晶片250b係具有一第二主動表面

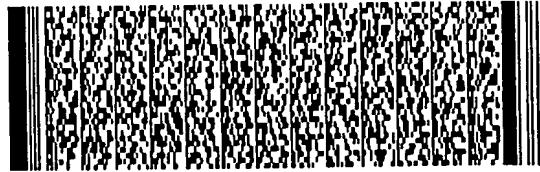


五、發明說明 (11)

252b，第二主動表面252b上配置有多數個凸塊260。第二晶片250b係以第二主動表面252b朝向第一晶片250a而覆晶接合於第一晶片250a上，並電性連接至第一晶片250a。而凸塊260係維持覆晶接合間隙256。

此外，晶片組250例如更包括多條導線254b。載板280之表面上例如配置有多個接點(圖未示)，第一晶片250a之第一主動表面252a以及第二晶片250b之第二主動表面252b上例如配置有多個焊墊(圖未示)。第二晶片250b之凸塊260即維持覆晶接合間隙256於第一晶片250a與第二晶片250b之間。換言之，第二晶片250b係以覆晶接合技術接合於第一晶片250a之第一主動表面252a上。每條導線254b之兩端例如係分別電性連接第一晶片250a之焊墊與載板280之接點。

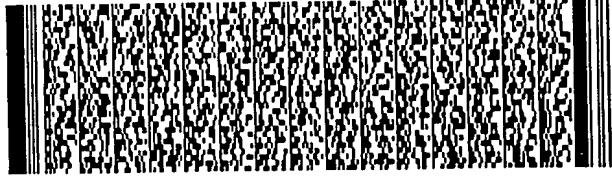
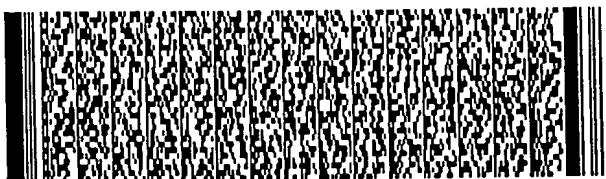
請參照第6圖，本較佳實施例之晶片組250例如係由一第一晶片250a、一第二晶片250b與一第三晶片250c所構成。晶片組250例如更包括多條導線254b。其中，各元件之配置關係如下所述。第一晶片250a係配置於載板280上，且第一晶片250a具有一第一主動表面252a，第一主動表面252a上配置有多個第一凸塊260a。第一晶片250a係以第一主動表面252a朝向載板280而覆晶接合於載板280上，並電性連接至載板280。第二晶片250b具有一第二主動表面252b，第二主動表面252b係背向第一晶片250a。而且，多條導線254b係連接於第二晶片250b之第二主動表面252b上的焊墊，以及載板280的接點之間，以電性連接第二晶



五、發明說明 (12)

片250b與載板280。第三晶片250c具有一第三主動表面252c，第三主動表面252c上配置有多個第二凸塊260b。第三晶片250c係以第三主動表面252c朝向第二晶片250b而覆晶接合於第二晶片250b上，並電性連接至第二晶片250b。而第一凸塊260a與第二凸塊260b係維持覆晶接合間隙256。換言之，第三晶片250c係以覆晶接合技術接合於第二晶片250b之第二主動表面252b，第一晶片250a係以覆晶接合技術接合於載板250b之表面。

以下將介紹本發明所提出之較佳實施例的晶片封裝製程，並且詳細介紹其實施方式。晶片封裝製程主要包括下列步驟：(a) 提供一載板與多個晶片，每個晶片分別具有一主動表面，至少一主動表面上配置有多個凸塊。(b) 使晶片與載板電性連接。(d) 藉由一導熱性黏著層將一散熱片黏著於晶片之背面上。(e) 覆蓋至少一緩衝耐熱膠片於散熱片之部分表面上。(f) 形成一封裝材料層於載板上，

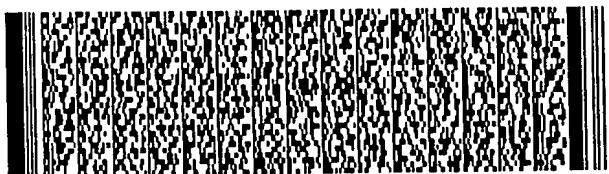


五、發明說明 (13)

並使封裝材料層填充於晶片與載板之間。

完成此晶片封裝製程所得到之晶片封裝結構具有下列特徵。第7A圖繪示為根據本發明所提出之較佳實施例的晶片封裝結構，在完成晶片封裝製程後之成品的剖面圖。第7B圖繪示為根據本發明所提出之較佳實施例的晶片封裝結構，在完成晶片封裝製程後之成品經切割後的剖面圖。請共同參照第7A圖與第7B圖，為符合量產所需，本較佳實施例之封裝製程在形成封裝材料層170後，例如更沿切割線L進行切割(Dicing)，以形成多個晶片封裝結構100。其中，每個晶片封裝結構100至少包括一個晶片150。另外，雖然在第7A圖中繪示之封裝材料層170係連接為一體，但亦可調整製程模具，形成多個互相獨立之封裝材料層170，亦即在切割線部份不形成封裝材料層，以縮短後續切割所需之時間。

值得注意的是，在根據本發明所提出之較佳實施例的晶片封裝結構之製程中，形成封裝材料層的方法例如係減壓移轉注模成形法。減壓移轉注模成形法係指將欲封裝之晶片結構放入模具，在模具進入減壓狀態後，於模具內導入熱熔融材料，並進行加熱加壓處理使樹脂硬化的一種處理方式。一般移轉注模成形法由於未進行減壓，易造成覆晶接合間隙或晶片與散熱板之間的封裝材料填充不足，若使模具內的減壓狀態保持在20毫米-汞柱以下則可獲得較佳之封裝效果，減壓狀態之最佳值在10毫米-汞柱以下。

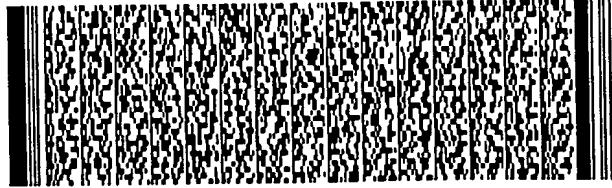


五、發明說明 (14)

第8圖繪示為根據本發明所提出之較佳實施例的晶片封裝結構於減壓移轉注模成形模具中形成封裝材料層的剖面圖。請參照第8圖，移轉注模成形設備(圖未示)可依所需的封裝型式放置適合的模具300，模具300主要係由上模具310與下模具320所構成。當上模具310與下模具320合模時，為達到較有效率之真空效果，合模步驟係首先將上模具310、下模具320與模具300內之真空橡膠封環330輕微接觸。接著，以抽真空幫浦(圖未示)經由抽真空管路370進行模具腔340內的減壓真空處理。然後，投入膠餅(tablet)(圖未示)於注膠管路350內，並維持1~5秒以提高空間內的真空度，同時提升模具內之溫度以使膠餅成為熱熔融狀態之封裝材料。最後，將上模具310與下模具320完全密合，同時拉起柱塞(plunger)360，以導入熱熔融狀態之封裝材料，使其填滿於模具腔340內，完成減壓移轉注模成形。

其中，減壓移轉注模成形在進行時，將成形溫度控制在低於凸塊160之熔點至少攝氏10度為佳，成形溫度高過於此時，相對於成形時熔融狀態之封裝材料對晶片150所產生之壓力，凸塊160對於晶片150與載板180覆晶接合強度不夠，容易在減壓移轉注模成形的過程中發生晶片150脫落等現象。

另外，在根據本發明所提出之較佳實施例的晶片封裝製程中，散熱片140欲在晶片封裝製程完成後暴露於外界的部份，必須在一緩衝耐熱膠片380的被覆下進行封裝。



五、發明說明 (15)

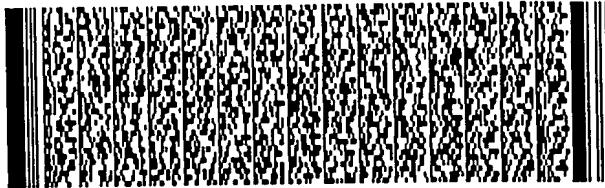
若沒有被覆緩衝耐熱膠片380而進行封裝，則散熱片140欲暴露於外界的部份易發生溢膠(Flush)。但是，若為了防止溢膠發生而將上模具310調整而直接加壓於散熱片140上，則封裝時的模壓也會透過散熱片140而施加於晶片150上而傷害晶片150。所以，被覆緩衝耐熱膠片380於散熱片140上作為緩衝係較佳的解決方法。

緩衝耐熱膠片380之材質常用的有聚纖胺(Polyamide)或氟樹脂系材料，並無特別規定。緩衝耐熱膠片380一般使用之厚度係以25~75微米，此厚度即可獲得本發明所提供之緩衝作用。此外，緩衝耐熱膠片380之材質亦可使用氟化橡膠等橡膠材質。

而且，根據本發明所提供之較佳實施例的晶片封裝結構在進行晶片封裝製程中，所使用之封裝材料之最大粒徑以小於覆晶接合間隙之0.5倍者為佳。若所使用之封裝材料之最大粒徑大於覆晶接合間隙之0.5倍時，覆晶接合間隙或晶片與散熱板之間的封裝材料填充較為困難，甚至會造成填充不完全的情形。而且，還會因封裝材料充填時與晶片表面的摩擦，造成晶片表面的損傷，降低晶片的可靠度。

以下將敘述本發明之實際應用例與對照例的實施條件，以及所獲得之實施結果。

【實例1】將面積大小為8毫米×8毫米，具800個共晶錫鉛凸塊(熔點攝氏183度、間距為0.25毫米)、厚度0.3毫米之晶片，以矩陣排列方式接合於面積35毫米×35毫米、厚度



五、發明說明 (16)

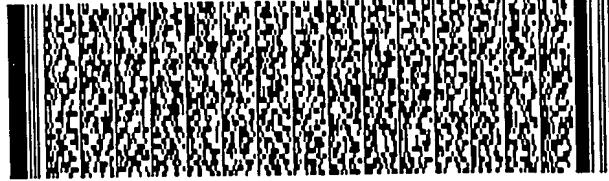
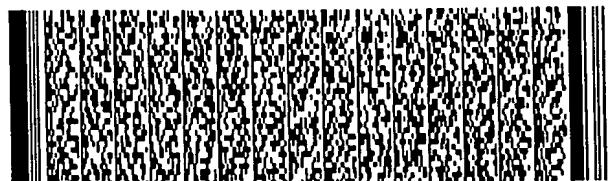
0.4 毫米之載板(FR-5)上。為了使電流能夠均勻通過，並在晶片表面加上鋁製配線。覆晶接合間隙為50~75微米。利用市面販售的導熱黏著劑將22毫米×22毫米大小、厚度0.2毫米的銅板黏在該晶片上。銅板上面鍍鎳後，中間貼上市面販售的20毫米ΦPFA膠片(厚度50微米)。同樣的為了提昇接著強度，下面施以表面粗化處理，並使用具減壓功能之移轉注模成形設備進行減壓移轉注模成形。空間內減壓度約為1毫米-汞柱。封裝材料使用的是松下電工(股)製CV8700F2(填充材最大粒徑21微米，平均粒徑5微米，添加的材料全為矽)。進行上模空間厚度0.6毫米，封裝部27毫米×27毫米面積之成形。成形在攝氏170度，70公斤/平方公分之壓力下進行2分鐘，再進行攝氏175度、4小時的後硬化程序便可獲得構造如第4C圖之晶片封裝結構。

【對照例1】使用與實例1晶片、承載板，以一般販賣之底部填充填充材料(松下電工(股)製CV5183F)以點膠設備進行覆晶接合間隙之填充。封裝材料在一定的條件下硬化後，所得晶片封裝結構為第2圖。

【對照例2】使用與實例1相同之晶片、承載板，除了沒有以真空幫浦進行減壓處理外其他均相同，所得晶片封裝結構為第4C圖。

【實例2】除將實例1的真空度變更成第9圖所示外，其他均相同，所得晶片封裝結構為第4C圖。

【實例3】除將實例1的真空度變更成第9圖所示外，其他均相同，所得晶片封裝結構為第4C圖。



五、發明說明 (17)

【實例4】除將實例1的成形溫度變更成如第9圖所示外，其他均相同，所得晶片封裝結構為第4C圖。

【實例5】除將實例1的成形溫度變更成如第9圖所示外，其他均相同，所得晶片封裝結構為第4C圖。

【對照例3】除將實例1所使用之材料最大粒徑變更成如第9圖所示外，其他均相同，所得晶片封裝結構為第4C圖。

【對照例4】除將實例1所使用之材料最大粒徑變更成如第9圖所示外，其他均相同，所得晶片封裝結構為第4C圖。

【實例6】除將實例1之PFA膠片變更為厚度50微米之聚醯胺膠片外，其他均相同，所得晶片封裝結構為第4C圖。

【實例7】除將實例1之散熱片材質變更成鋁板外，其他均相同，所得晶片封裝結構為第4C圖。

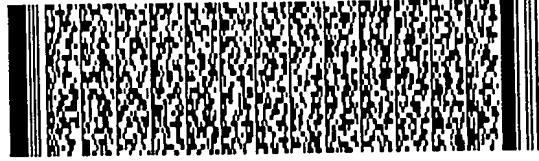
【實例8】除將實例1之PFA膠片厚度變更為30微米且進行整體封裝(晶片封裝結構表面全部及模具內整體均被覆)，即可獲得如第4B圖所示上表面平整之晶片封裝結構。

【對照例5】實例8中除不使用膠片外，其他均相同，所得晶片封裝結構為第4B圖。

【對照例6】實例8中除不使用膠片外，且封裝厚度變更成0.5毫米外，其他均相同，所得晶片封裝結構為第4B圖。

上述實例、對照例各晶片封裝結構之試驗條件與試驗結果分別如第9圖與第10圖所示。

本發明所提出之較佳實施例的晶片封裝製程係採用2001年日本專利JP392698所揭露之技術。但是，本發明針對其封裝尺寸進行最佳化並設置散熱片，以使晶片封裝結

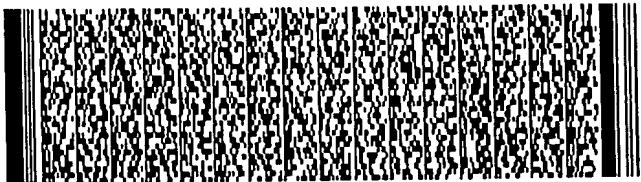


五、發明說明 (18)

構具有最佳之封裝可靠度與散熱性。

綜上所述，根據本發明所提出之較佳實施例的晶片一次度更封裝結構，因含散熱晶片封裝結構且晶片均採同一材料且具高效果。被覆，相較於習知之晶片封裝結構，其信賴性且高散熱效果。若使用熱傳導係數高的封裝材料，散熱效果佳。而且，此晶片封裝結構亦具有結構簡單，適於大量生產之優勢。

雖然本發明已以較佳實施例揭露如上，然其並非用以神護限本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示為習知採導線連結式的晶片封裝結構之剖面圖。

第2圖繪示為習知採覆晶接合技術的晶片封裝結構之剖面圖。

第3圖繪示為習知採熱增強型球格陣列封裝的晶片封裝結構之剖面圖。

第4A～4I圖繪示為根據本發明所提出之第一較佳實施例的各種晶片封裝結構之剖面圖。

第5圖與第6圖繪示為根據本發明所提出之第二較佳實施例的晶片封裝結構之剖面圖。

第7A圖繪示為根據本發明所提出之較佳實施例的晶片封裝結構，在完成晶片封裝製程後之成品的剖面圖。

第7B圖繪示為根據本發明所提出之較佳實施例的晶片封裝結構，在完成晶片封裝製程後之成品經切割後的剖面圖。

第8圖繪示為根據本發明所提出之較佳實施例的晶片封裝結構於減壓移轉注模成形模具中形成封裝材料層的剖面圖。

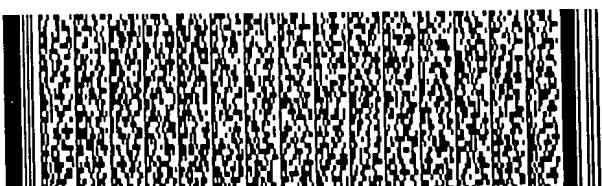
第9圖繪示為移轉注模成形時所使用之條件。

第10圖繪示為移轉注模成形後所得之結果(含裝置性能與信賴度)。

【圖式標示說明】

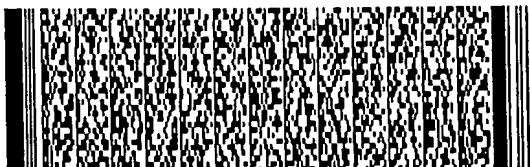
10、40、70：晶片封裝結構

20、50、80：晶片



圖式簡單說明

22、52、82：主動表面
24、84：導線
30、60、90：載板
32、62、92：焊球
34、65、95：封裝材料層
54：凸塊
85：散熱板
100、200：晶片封裝結構
140、240：散熱片
145、245：導熱性黏著層
150：晶片
152：主動表面
160、260：凸塊
170、270：封裝材料層
180、280：載板
190、290：焊球
195、295：被動元件
250a：第一晶片
250b：第二晶片
250c：第三晶片
252a：第一主動表面
252b：第二主動表面
252c：第三主動表面
254b：導線



圖式簡單說明

256 : 覆晶接合間隙

260a : 第一凸塊

260b : 第二凸塊

300 : 模具

310 : 上模具

320 : 下模具

330 : 真空橡膠封環

340 : 模具腔

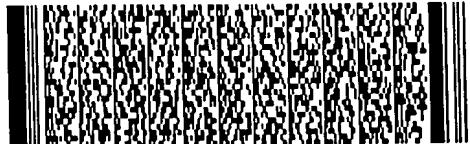
350 : 注膠管路

360 : 柱塞

370 : 抽真空管路

380 : 緩衝耐熱膠片

L : 切割線



六、申請專利範圍

1. 一種晶片封裝結構，至少包括：

一載板；

一晶片，具有一主動表面，該主動表面上配置有多數個凸塊，該晶片係以該主動表面朝向該載板而覆晶接合於該載板上，並電性連接至該載板；

一散熱片，配置於該晶片上，該散熱片之面積係大於該晶片之面積；以及

一封裝材料層，填充於該晶片與該載板之間以及該載板上，該封裝材料層係由單一封裝材料形成，其中該散熱片遠離該晶片之表面至少係部份暴露於外界。

2. 如申請專利範圍第1項所述之晶片封裝結構，其中該封裝材料層位於該晶片與該載板之間的部份具有一厚度，該封裝材料層之最大材料粒徑係小於該厚度之0.5倍。

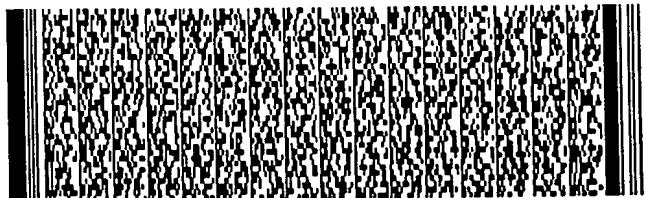
3. 如申請專利範圍第1項所述之晶片封裝結構，更包括一導熱性黏著層，配置於該晶片與該散熱片之間。

4. 如申請專利範圍第1項所述之晶片封裝結構，其中該封裝材料層之材質包括樹脂。

5. 如申請專利範圍第1項所述之晶片封裝結構，其中該散熱片之材質包括金屬。

6. 如申請專利範圍第1項所述之晶片封裝結構，更包括多數個陣列排列之焊球，配置於該載板遠離該晶片之表面。

7. 如申請專利範圍第1項所述之晶片封裝結構，更包



六、申請專利範圍

括至少一被動元件，配置於該載板上且與該載板電性連接。

8. 如申請專利範圍第1項所述之晶片封裝結構，其中該載板包括一封裝基材與一導線架其中之一。

9. 一種晶片封裝結構，至少包括：

一載板；

一晶片組，配置於該載板上且與該載板電性連接，該晶片組包括多數個晶片，這些晶片至少其中之一係覆晶接合於該載板與這些晶片其中之一上，並且維持一覆晶接合間隙；

一散熱片，配置於該晶片組上，該散熱片之面積係大於該晶片組之面積；以及

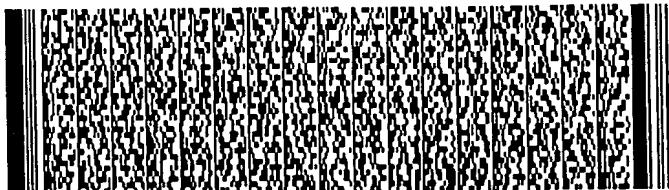
一封裝材料層，填充於該覆晶接合間隙內以及該載板上，且該封裝材料層係由單一封裝材料形成，其中該散熱片遠離該晶片組之表面至少係部份暴露於外界。

10. 如申請專利範圍第9項所述之晶片封裝結構，其中該封裝材料層位於該覆晶接合間隙內的部份具有一厚度，該封裝材料層之最大材料粒徑係小於該厚度之0.5倍。

11. 如申請專利範圍第9項所述之晶片封裝結構，更包括一導熱性黏著層，配置於該晶片組之頂面與該散熱片之間。

12. 如申請專利範圍第9項所述之晶片封裝結構，其中該晶片組至少包括：

一第一晶片，具有一第一主動表面，且該第一晶片係



六、申請專利範圍

以該第一主動表面背向該載板而配置於該載板上；以及一第二晶片，具有一第二主動表面，該第二主動表面配置有多數個凸塊，該第二晶片係以該第二主動表面朝向該第一晶片而覆晶接合於該第一晶片上，並電性連接至該第一晶片，其中該些凸塊係維持該覆晶接合間隙。

13. 如申請專利範圍第12項所述之晶片封裝結構，其中該晶片組更包括多數個導線，該些導線之兩端分別電性連接於該第一晶片與該載板。

14. 如申請專利範圍第9項所述之晶片封裝結構，其中該晶片組至少包括：

一第一晶片，具有一第一主動表面，該第一主動表面配置有多數個第一凸塊，該第一晶片係以該第一主動表面朝向該載板而覆晶接合於該載板上，並電性連接至該載板；

一第二晶片，具有一第二主動表面，該第二晶片係以該第二主動表面背向該第一晶片而配置於該第一晶片上；以及

一第三晶片，具有一第三主動表面，該第三主動表面配置有多數個第二凸塊，該第三晶片係以該第三主動表面朝向該第二晶片而覆晶接合於該第二晶片上，並電性連接至該第二晶片，其中該些第一凸塊與該些第二凸塊係維持該覆晶接合間隙。

15. 如申請專利範圍第14項所述之晶片封裝結構，其中該晶片組更包括多數個導線，該些導線之兩端分別電性



六、申請專利範圍

連接於該第二晶片與該載板。

16. 如申請專利範圍第9項所述之晶片封裝結構，其中該封裝材料層之材質包括樹脂。

17. 如申請專利範圍第9項所述之晶片封裝結構，其中該散熱片之材質包括金屬。

18. 如申請專利範圍第9項所述之晶片封裝結構，更包括多數個陣列排列之焊球，配置於該載板遠離該晶片組之表面。

19. 如申請專利範圍第9項所述之晶片封裝結構，更包括至少一被動元件，配置於該載板上且與該載板電性連接。

20. 如申請專利範圍第9項所述之晶片封裝結構，其中該載板包括一封裝基材與一導線架其中之一。

21. 一種晶片封裝製程，至少包括下列步驟：

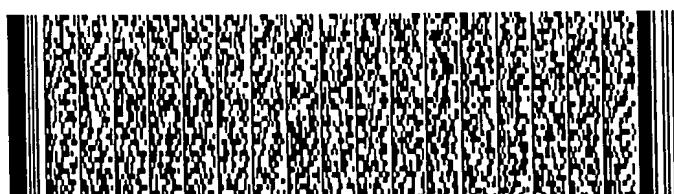
提供一載板與多數個晶片，每一該些晶片分別具有一主動表面，至少一該些主動表面上配置有多數個凸塊；

使該些晶片與該載板電性連接，其中該些晶片係以該些主動表面朝向該載板；

藉由一導熱性黏著層將一散熱片黏著於該些晶片之背面上；

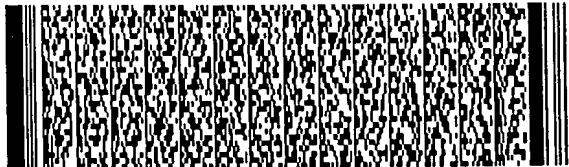
覆蓋至少一緩衝耐熱膠片於該散熱片之部分表面上；以及

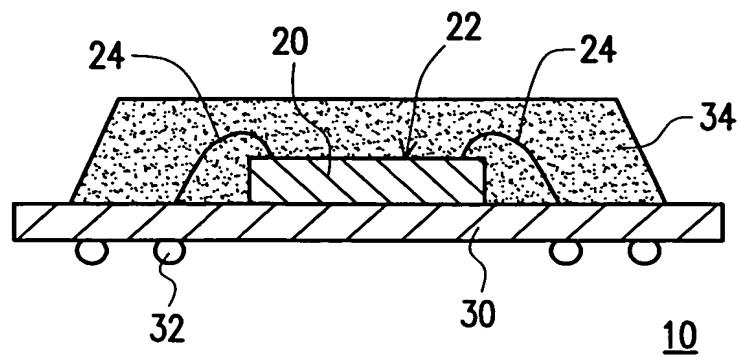
形成一封裝材料層於該載板上，並使該封裝材料層填充於該些晶片與該載板之間。



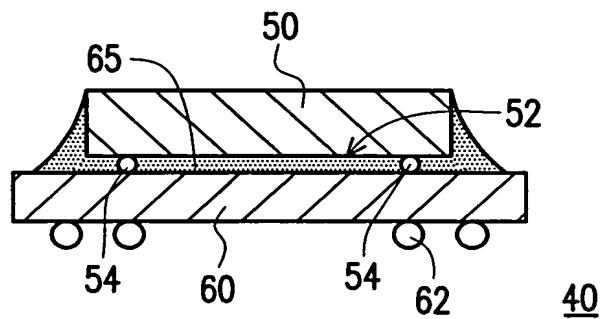
六、申請專利範圍

22. 如申請專利範圍第21項所述之晶片封裝製程，其中形成該封裝材料層的方法包括一減壓移轉注模成形法。
23. 如申請專利範圍第22項所述之晶片封裝製程，其中形成該封裝材料層後，更包括對該載板進行切割，以形成多數個晶片封裝結構。
24. 如申請專利範圍第22項所述之晶片封裝製程，其中進行該減壓移轉注模成形法之壓力保持在20毫米-汞柱以下。
25. 如申請專利範圍第22項所述之晶片封裝製程，其中進行該減壓移轉注模成形法之溫度，至少較該凸塊之熔點低攝氏10度。
26. 如申請專利範圍第22項所述之晶片封裝製程，其中該封裝材料層位於該些晶片與該載板之間的部份具有一厚度，該封裝材料層之最大材料粒徑係小於該厚度之0.5倍。

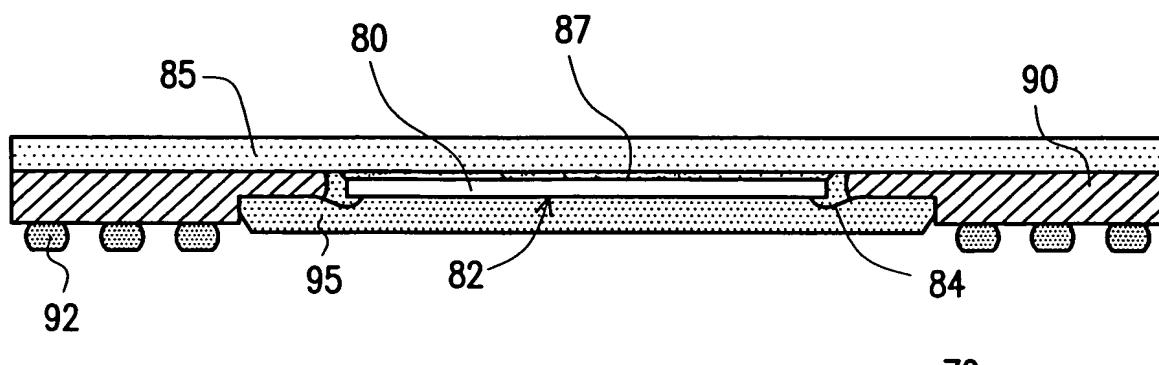




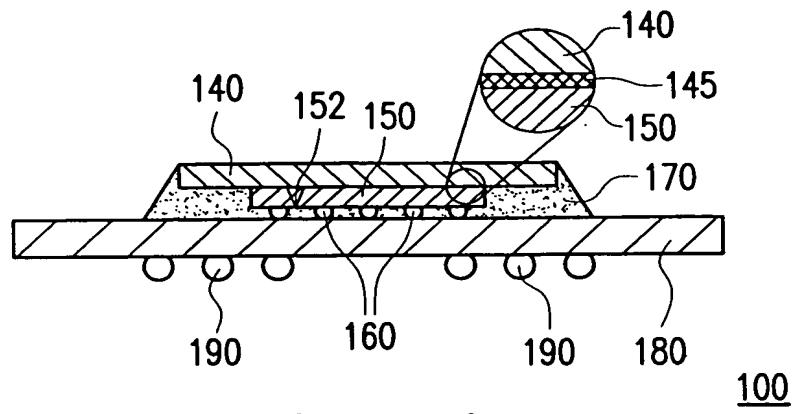
第 1 圖



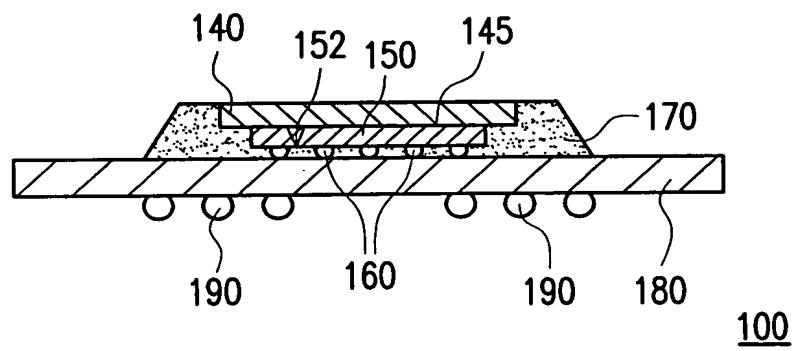
第 2 圖



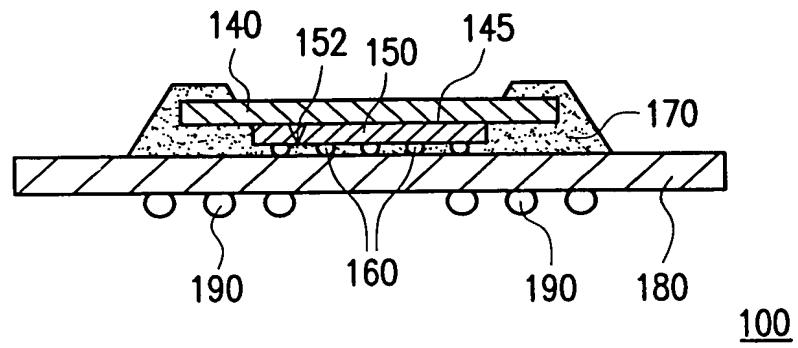
第 3 圖



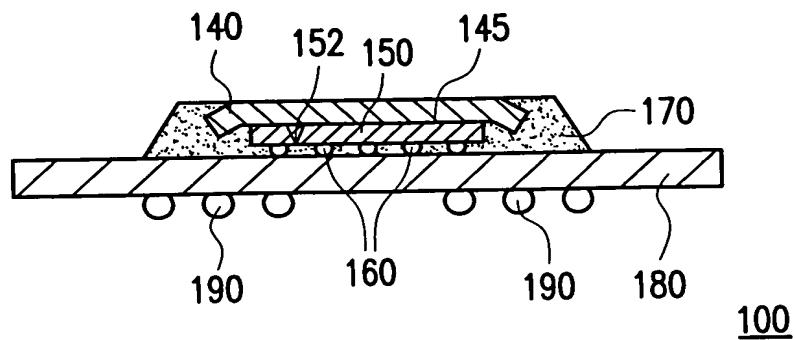
第 4A 圖



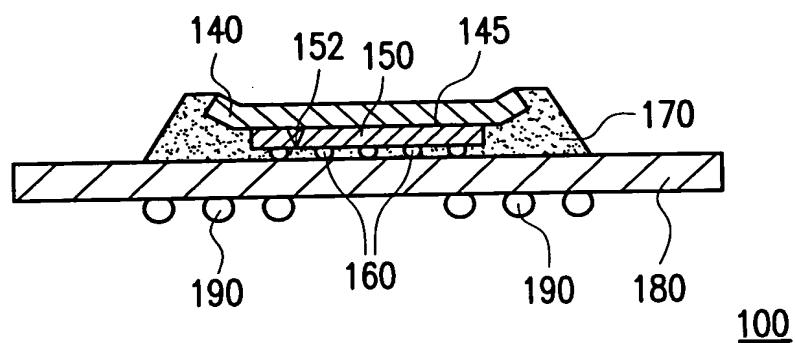
第 4B 圖



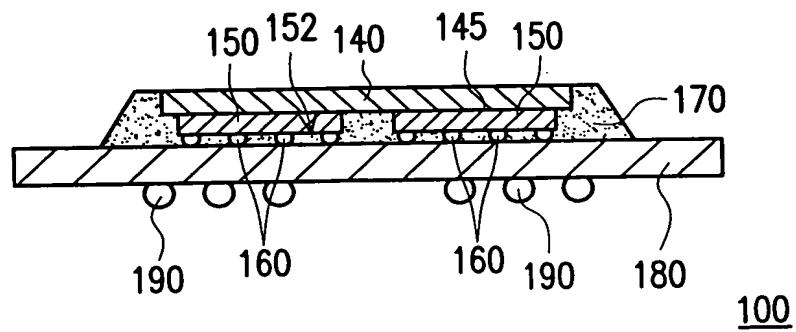
第 4C 圖



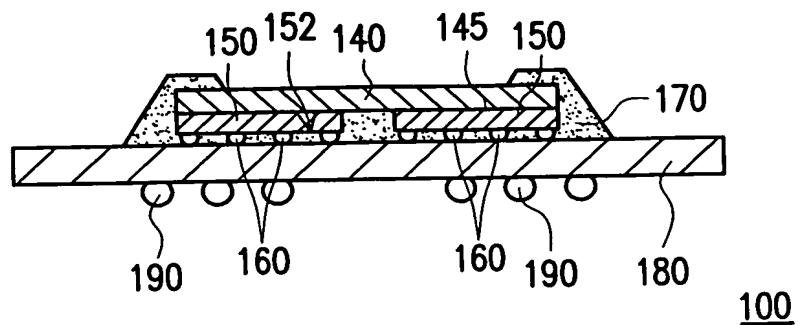
第 4D 圖



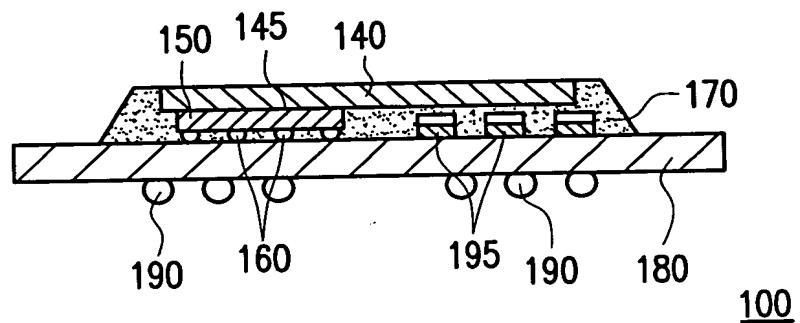
第 4E 圖



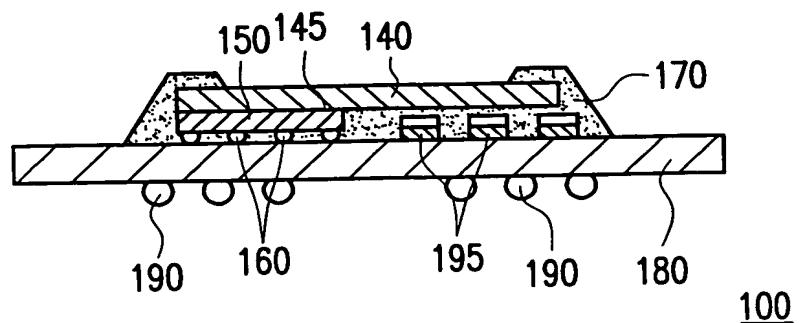
第 4F 圖



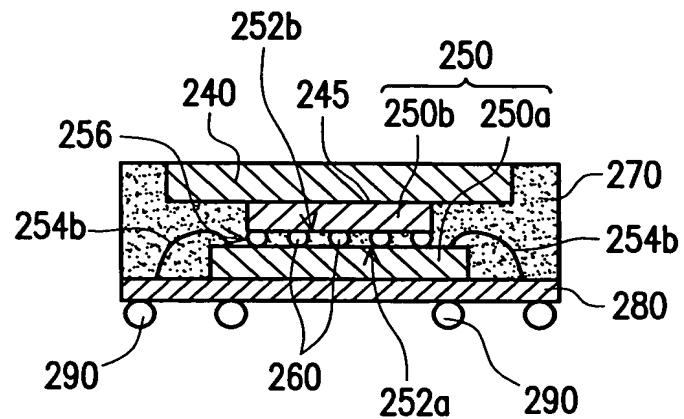
第 4G 圖



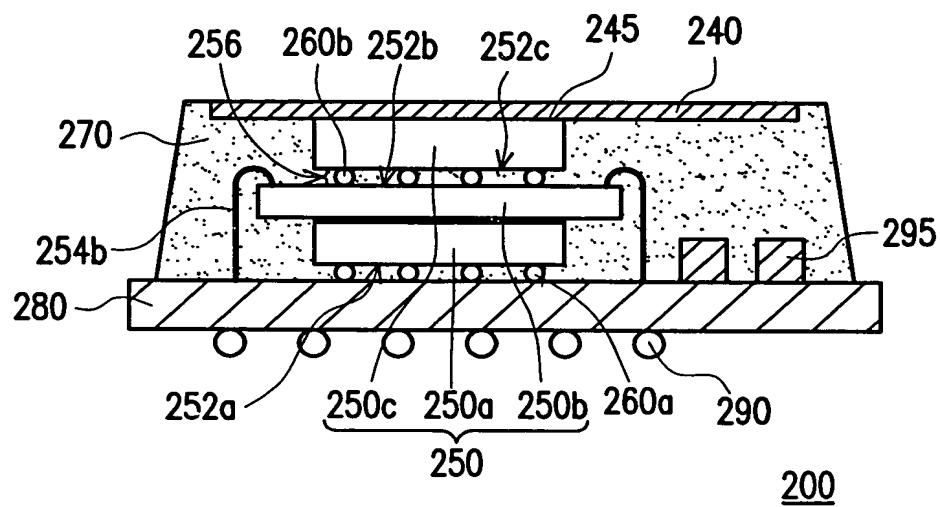
第 4H 圖



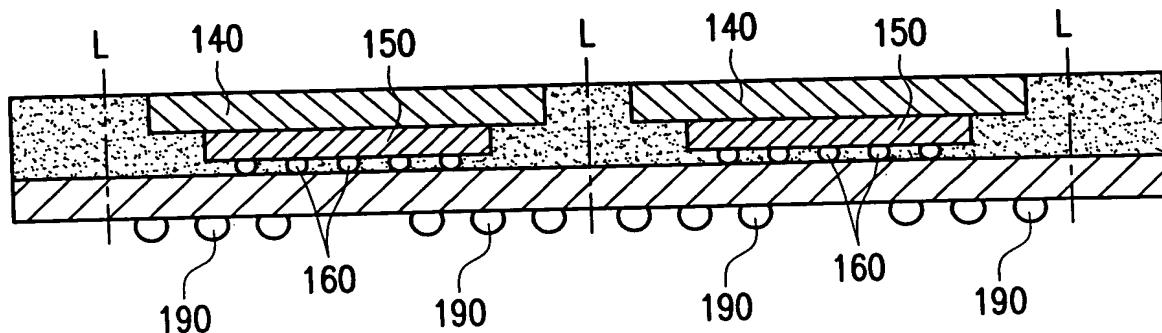
第 4I 圖

200

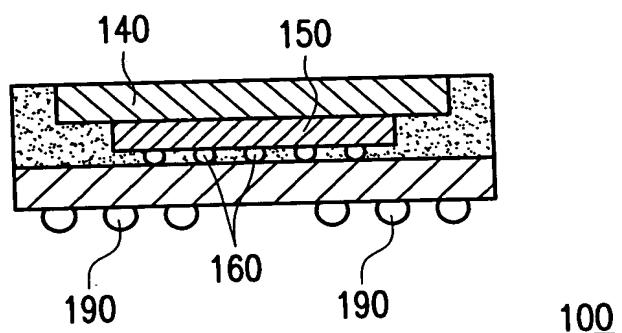
第 5 圖

200

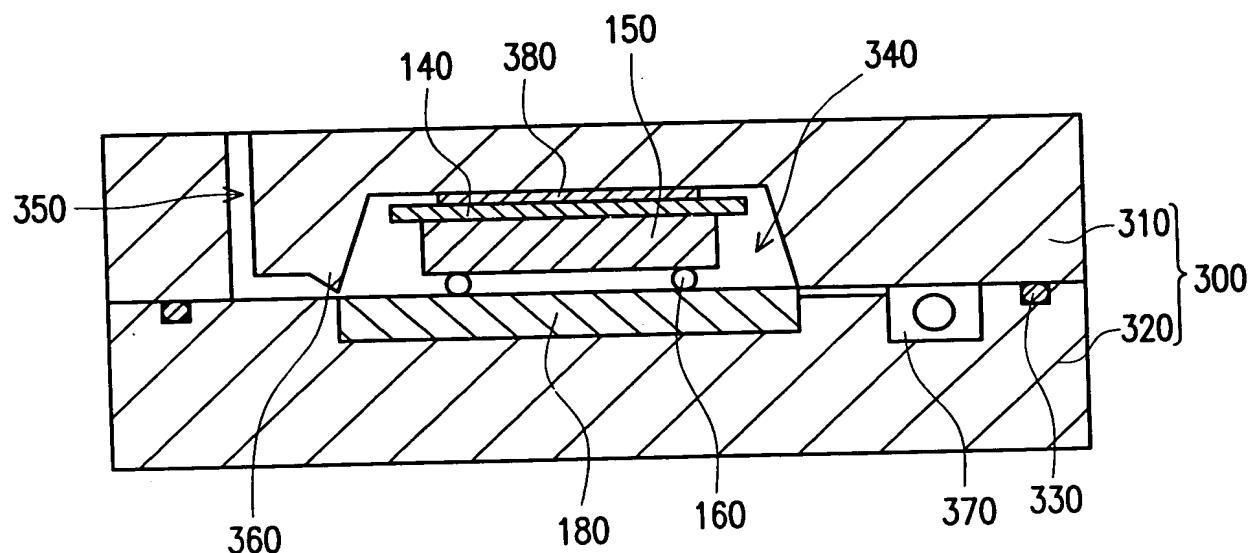
第 6 圖



第 7A 圖



第 7B 圖



第 8 圖

	實例 1,6-8 對照例 1,5,6	對照例 2	實例 2	實例 3	實例 4	實例 5	對照例 3	對照例 4
成形溫度	攝氏 170 度	←	←	←	攝氏 160 度	攝氏 180 度	攝氏 170 度	←
真空度	1 毫米-水銀 柱	常壓	15 毫米-水銀 柱	80 毫米-水銀 柱	1 毫米-水銀 柱	←	←	←
填充物種類 (矽)*1	A	←	←	←	←	←	B	C

*1 填充物 A：平均粒徑 5 微米 最大粒徑 21 微米

填充物 B：平均粒徑 13 微米 最大粒徑 40 微米

填充物 C：平均粒徑 13 微米 最大粒徑 74 微米

第 9 圖

	實例 1	對照例 1	對照例 2	實例 2	實例 3	實例 4	實例 5	對照例 3	對照例 4
表面金屬溢膠	OK	--	OK	OK	OK	OK	OK	OK	OK
填充部填充性*2	100%	100%	15%	99%	97%	100%	100%	40%	30%
耐焊性*3	◎	○	X	○	○	◎	◎	X	X
溫度循環信賴性*4	2000 循環	500 循環	--	2000 循環	2000 循環	2000 循環	2000 循環	--	--
PCT 信賴性*5	>500 小時	168 小時	--	>500 小時	>500 小時	>500 小時	>500 小時	--	--
其他							※		

	實例 6	實例 7	實例 8	對照例 5	對照例 6
表面金屬溢膠	OK	OK	OK	最大 2 毫米	OK
填充部填充性*2	100%	100%	100%	100%	100%
耐焊性*3	◎	◎	◎	◎	--
溫度循環信賴性*4	2000 循環	2000 循環	2000 循環	2000 循環	--
PCT 信賴性*5	>500 小時	>500 小時	>500 小時	>500 小時	--
其他					

* 2 相對於晶片面積，材料填充部分之面積比例（填充率）平均值

以 SAT 評鑑

* 3 耐焊性：◎：JEDEC level II 合格 ○：JEDEC level III 合格

(n=11) X：JEDEC level III 不合格

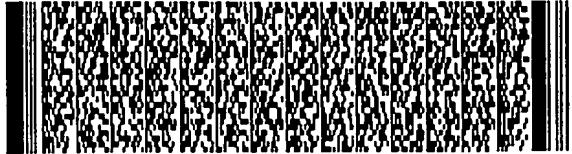
* 4 溫度循環信賴性：氣體環境攝氏零下 65 度/15 分~室溫/5 分~攝氏 150 度/15 分(n=11)

* 5 PCT 信賴性 攝氏 121 度、2 大氣壓

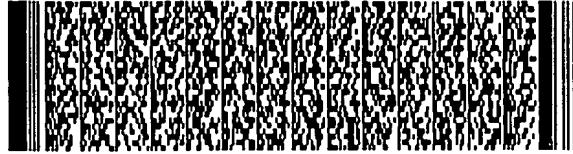
※以成形總數 32 裝置中 2 裝置晶片不良/剩餘良品 進行評鑑

第 10 圖

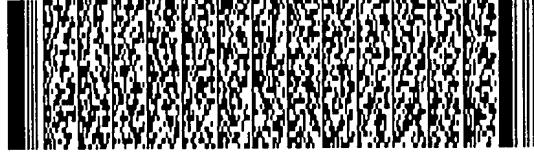
第 1/33 頁



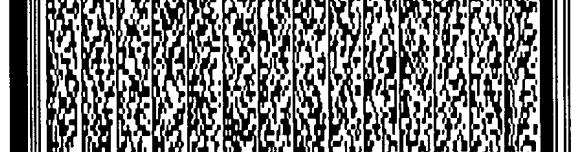
第 1/33 頁



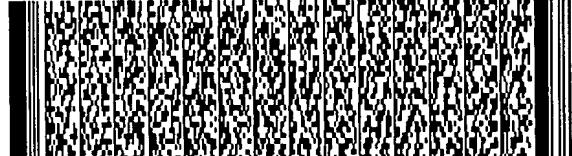
第 2/33 頁



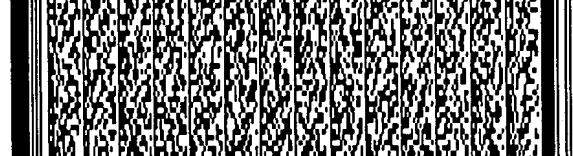
第 3/33 頁



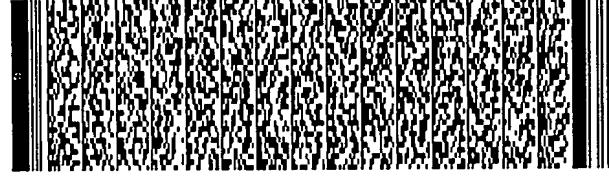
第 4/33 頁



第 4/33 頁



第 5/33 頁



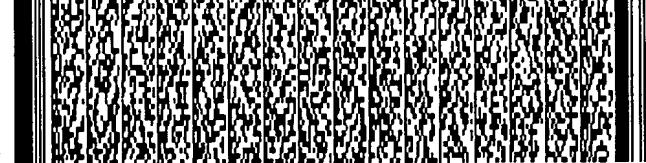
第 6/33 頁



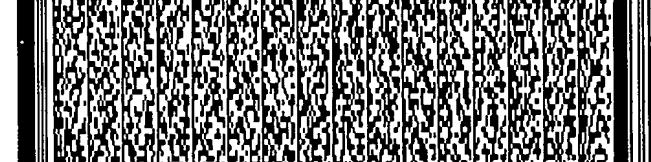
第 7/33 頁



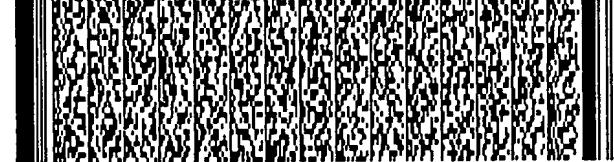
第 8/33 頁



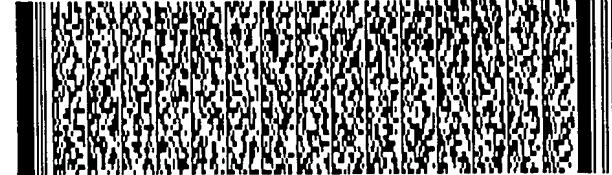
第 8/33 頁



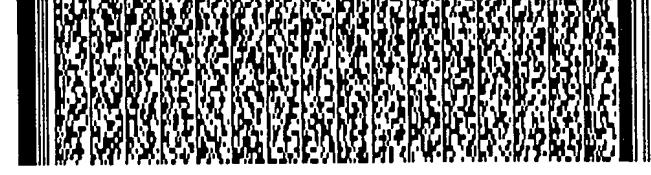
第 9/33 頁



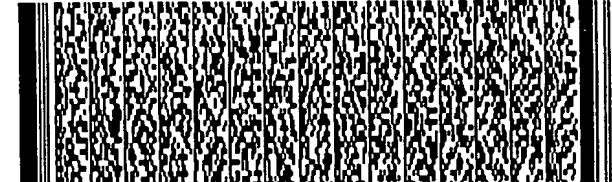
第 9/33 頁



第 10/33 頁



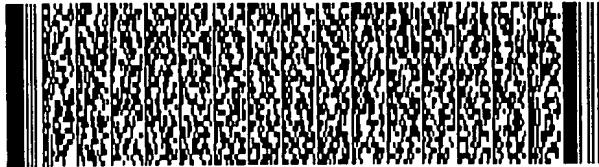
第 10/33 頁



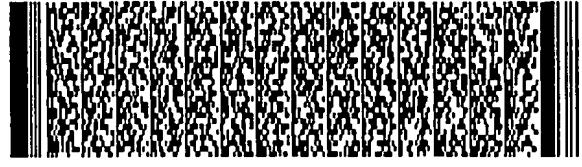
第 11/33 頁



第 11/33 頁



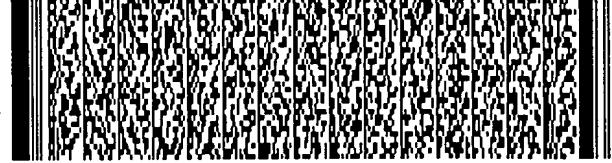
第 12/33 頁



第 12/33 頁



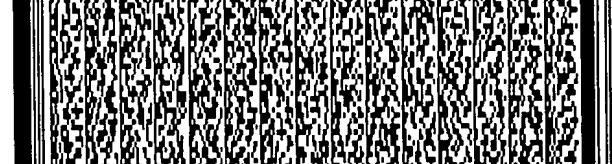
第 13/33 頁



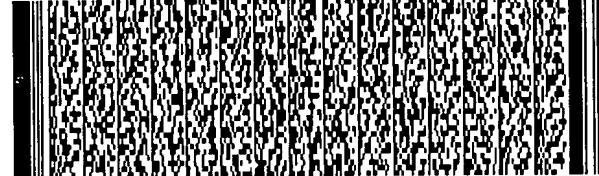
第 13/33 頁



第 14/33 頁



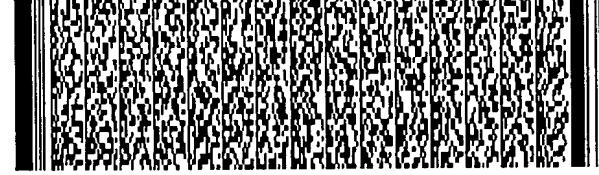
第 14/33 頁



第 15/33 頁



第 15/33 頁



第 16/33 頁



第 16/33 頁



第 17/33 頁



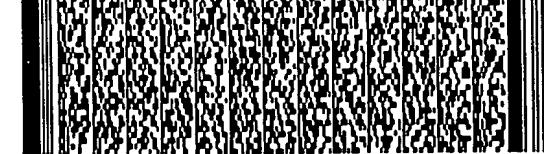
第 17/33 頁



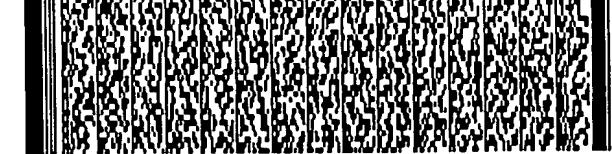
第 18/33 頁



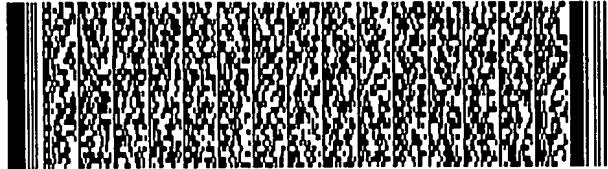
第 18/33 頁



第 19/33 頁



第 19/33 頁



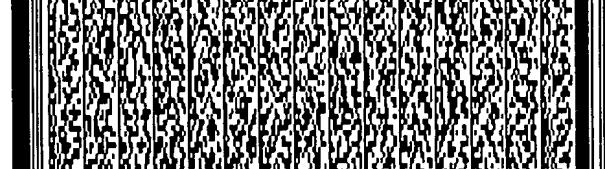
第 20/33 頁



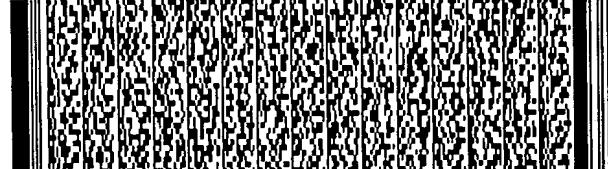
第 20/33 頁



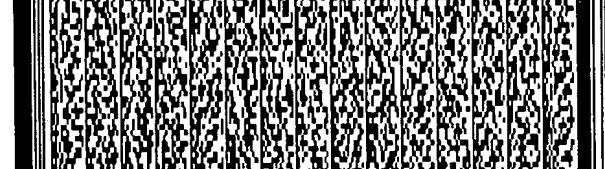
第 21/33 頁



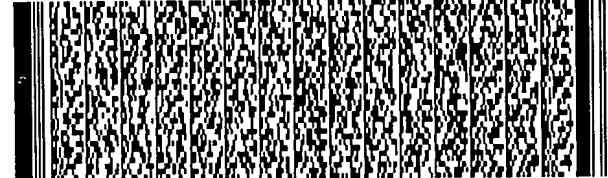
第 21/33 頁



第 22/33 頁



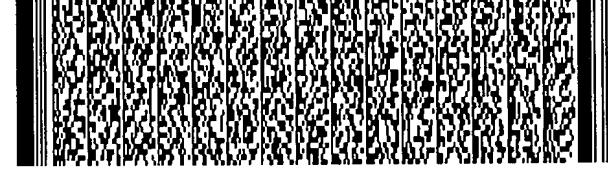
第 22/33 頁



第 23/33 頁



第 23/33 頁



第 24/33 頁



第 24/33 頁



第 25/33 頁



第 26/33 頁



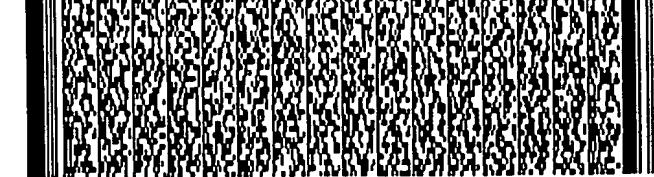
第 27/33 頁



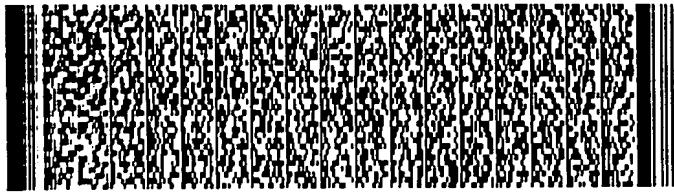
第 28/33 頁



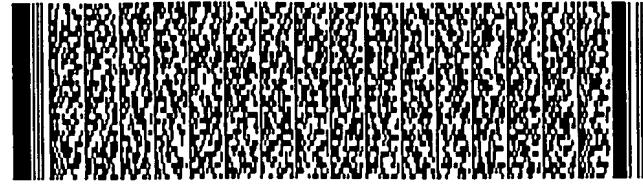
第 29/33 頁



第 30/33 頁



第 31/33 頁



第 32/33 頁



第 33/33 頁

